

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

#4



別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日

Date of Application:

2000年 7月31日

出 願 番 号

Application Number:

特願2000-230356

CERTIFIED COPY OF  
PRIORITY DOCUMENT

出 願 人

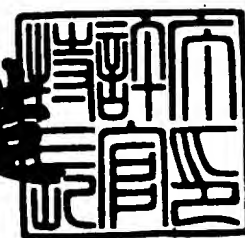
Applicant (s):

パイオニア株式会社

2001年 2月23日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 54P0726

【提出日】 平成12年 7月31日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 1/06  
 /H04B 1/16

【発明者】

【住所又は居所】 埼玉県川越市山田字西町 2 5 番地 1 パイオニア株式会社  
 社川越工場内

【氏名】 大橋 徹

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【代理人】

【識別番号】 100063565

【弁理士】

【氏名又は名称】 小橋 信淳

【手数料の表示】

【予納台帳番号】 011659

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 受信機

【特許請求の範囲】

【請求項 1】 中間周波のデジタルデータから所望の周波数成分のデータを通過させて検波手段側へ出力するデジタル信号処理手段とを備える受信機であって、

前記デジタル信号処理手段は、前記デジタルデータを中間周波数の 2 のべき乗倍の第 1 のサンプリングレートでデジタルフィルタリングするデジタルバンドパスフィルタと、

前記デジタルバンドパスフィルタの出力データを中間周波数の 2 のべき乗倍であって前記第 1 のサンプリングレートより高い第 2 のサンプリングレートでデジタルフィルタリングするデジタルローパスフィルタから成る補間フィルタとを備え、

前記補間フィルタの出力データを前記検波手段側へ出力することを特徴とする受信機。

【請求項 2】 前記第 1 のサンプリングレートは前記中間周波数の 4 倍に設定され、前記デジタルバンドパスフィルタは、被乗算係数が 2 のべき乗の値で設定された I I R フィルタで構成されていることを特徴とする請求項 1 記載の受信機。

【請求項 3】 前記第 2 のサンプリングレートは前記中間周波数の 1 6 倍に設定され、前記補間フィルタは、被乗算係数が 2 のべき乗の値で設定された I I R フィルタで構成されていることを特徴とする請求項 1 記載の受信機。

【請求項 4】 前記デジタルバンドパスフィルタは、第 1, 第 2, 第 3 のデジタル加算器と、第 1, 第 2, 第 3 のデジタル乗算器と、前記第 1 のサンプリングレートの 2 倍の遅延時間を有するデジタル遅延素子とを備えて構成され、

前記第 1 のデジタル加算器は、前記アナログデジタル変換手段から出力される前記デジタルデータから前記第 2 のデジタル加算器の出力データを減算し、

前記デジタル遅延素子は、前記第 1 のデジタル加算器の出力データを遅延し、

前記第 1 のデジタル乗算器は、前記デジタル遅延素子の出力データに所定の第

1 の被乗算係数を乗算し、

前記第 2 のデジタル加算器は、前記デジタル遅延素子の出力データから前記第 1 のデジタル乗算器の出力データを減算し、

前記第 2 のデジタル乗算器は、前記第 1 のデジタル加算器の出力データに所定の第 2 の被乗算係数を乗算し、

前記第 3 のデジタル乗算器は、前記デジタル遅延素子の出力データに所定の第 2 の被乗算係数を乗算し、

前記第 3 のデジタル加算器は、前記第 2 のデジタル乗算器の出力データから前記第 3 のデジタル乗算器の出力データを減算し、減算結果を前記補間フィルタへ出力することを特徴とする請求項 1 又は 2 記載の受信機。

【請求項 5】 前記デジタルバンドパスフィルタは、

第 1, 第 2, 第 3, 第 4 のデジタル加算器と、第 1, 第 2, 第 3, 第 4 のデジタル乗算器と、前記第 1 のサンプリングレートの遅延時間を有する直列接続された第 1, 第 2 のデジタル遅延素子とを備えて構成された第 1 のフィルタ手段と、

第 5, 第 6, 第 7, 第 8 のデジタル加算器と、第 5, 第 6, 第 7, 第 8 のデジタル乗算器と、前記第 1 のサンプリングレートの遅延時間を有する直列接続された第 3, 第 4 のデジタル遅延素子とを備えて構成された第 2 のフィルタ手段とを具備し、

前記第 1 のデジタル加算器は、前記アナログデジタル変換手段から出力される前記デジタルデータから前記第 2 のデジタル加算器の出力データを加算し、

前記第 1 のデジタル遅延素子は、前記第 1 のデジタル加算器の出力データを遅延し、

前記第 2 のデジタル遅延素子は、前記第 1 のデジタル遅延素子の出力データを遅延し、

前記第 1 のデジタル乗算器は、前記第 1 のデジタル遅延素子の出力データに所定の第 1 の被乗算係数を乗算し、

前記第 2 のデジタル加算器は、前記第 1 のデジタル乗算器の出力データから前記第 3 のデジタル加算器の出力データを減算し、

前記第 2 のデジタル乗算器は、前記第 2 のデジタル遅延素子の出力データに所

定の第 2 の被乗算係数を乗算し、

前記第 3 のデジタル加算器は、前記第 2 のデジタル遅延素子の出力データから前記第 3 のデジタル乗算器の出力データを減算し、

前記第 3 のデジタル乗算器は、前記第 1 のデジタル加算器の出力データに所定の第 3 の被乗算係数を乗算し、

前記第 4 のデジタル乗算器は、前記第 2 のデジタル遅延素子の出力データに所定の第 2 の被乗算係数を乗算し、

前記第 4 のデジタル加算器は、前記第 3 のデジタル乗算器の出力データから前記第 4 のデジタル乗算器の出力データを減算し、

前記第 5 のデジタル加算器は、前記第 4 のデジタル乗算器の出力データから前記第 6 のデジタル加算器の出力データを加算し、

前記第 3 のデジタル遅延素子は、前記第 5 のデジタル加算器の出力データを遅延し、

前記第 4 のデジタル遅延素子は、前記第 3 のデジタル遅延素子の出力データを遅延し、

前記第 5 のデジタル乗算器は、前記第 3 のデジタル遅延素子の出力データに所定の第 1 の被乗算係数を乗算し、

前記第 6 のデジタル加算器は、前記第 7 のデジタル加算器の出力データから前記第 5 のデジタル乗算器の出力データを減算し、

前記第 6 のデジタル乗算器は、前記第 4 のデジタル遅延素子の出力データに所定の第 2 の被乗算係数を乗算し、

前記第 7 のデジタル加算器は、前記第 4 のデジタル遅延素子の出力データから前記第 6 のデジタル乗算器の出力データを減算し、

前記第 3 のデジタル乗算器は、前記第 5 のデジタル加算器の出力データに所定の第 7 の被乗算係数を乗算し、

前記第 8 のデジタル乗算器は、前記第 4 のデジタル遅延素子の出力データに所定の第 2 の被乗算係数を乗算し、

前記第 8 のデジタル加算器は、前記第 7 のデジタル乗算器の出力データから前記第 8 のデジタル乗算器の出力データを減算し、減算結果を前記補間フィルタへ

出力することを特徴とする請求項 1 又は 3 記載の受信機。

【請求項 6】 前記補間フィルタは、第 9、第 10 のデジタル加算器と、第 9、第 10、第 11 のデジタル乗算器と、前記第 2 のサンプリングレートの遅延時間を有する直列接続された第 5、第 6 のデジタル遅延素子とを有するローパスフィルタ手段を備えて構成され、

前記第 9 のデジタル加算器は、前記デジタルバンドパスフィルタから供給されるデータと前記第 10 のデジタル加算器の出力データを加算し、

前記第 5 のデジタル遅延素子は、前記第 9 のデジタル加算器の出力データを遅延し、

前記第 6 のデジタル遅延素子は、前記第 5 のデジタル遅延素子の出力データを遅延し、

前記第 9 のデジタル乗算器は、前記第 5 のデジタル遅延素子の出力データに所定の第 9 の被乗算係数を乗算し、

前記第 10 のデジタル加算器は、前記第 9 のデジタル乗算器の出力データから前記第 10 のデジタル乗算器の出力データを減算し、

前記第 10 のデジタル乗算器は、前記第 6 のデジタル遅延素子の出力データに所定の第 10 の被乗算係数を乗算し、

前記第 11 のデジタル乗算器は、前記第 9 のデジタル加算器の出力データに所定の第 11 の被乗算係数を乗算して、その乗算結果を前記検波手段側へ出力することを特徴とする請求項 1 又は 3 記載の受信機。

【請求項 7】 前記補間フィルタは、前記ローパスフィルタ手段が複数段直列接続された構成であることを請求項 6 記載の受信機。

【請求項 8】 前記第 9、第 11 のデジタル乗算器の前記第 9、第 11 の被乗算係数は  $2^{-2}$ 、前記第 10 のデジタル乗算器の前記第 10 の被乗算係数は  $2^{-1}$  に設定されていることを特徴とする請求項 6 又は 7 記載の受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、受信波から信号波を再生する受信機に関し、特にデジタル信号処理

によって信号波を再生する受信機に関する。

【0002】

【従来の技術】

従来、放送局から送られてくる放送波を受信し、オーディオ周波数帯域の信号波を再生する受信機として、スーパーヘテロダイン方式のアナログ受信機が知られている。

【0003】

このアナログ受信機は、アンテナで受信した放送波を周波数変換器によって中間周波のIF信号に変換し、このIF信号を図14に示すように中間周波数のバンドパスフィルタ1に通すことで不要な周波数成分を除去した後、検波回路2によって信号波（検波出力）を得るようにしている。

【0004】

【発明が解決しようとする課題】

ところで、本願発明者は、上記したようなアナログ受信機をデジタル回路で形成し、例えばデジタルオーディオ器機への対応が可能なデジタル受信機の開発を試みた。

【0005】

こうした試みの一つとして、図14に示したバンドパスフィルタ1を図15に示すような直接形の2次のIIR（Infinite Impulse Response）フィルタ1'で構成し、そのデジタルバンドパスフィルタ1'に従属する検波回路などもデジタル化できるようにする提案を行った。すなわち、デジタルバンドパスフィルタ1'を、デジタル加算器4, 5, 6, 7とデジタル遅延素子8, 9とデジタル乗算器10, 11, 12, 13, 14で形成し、周波数変換器からのIF信号をA/D変換器3で変換することにより生じるデジタルデータをデジタルフィルタリングする構成を提案した。

【0006】

ところが、IF信号は周波数変換器によってダウンコンバートされるものの、検波される前の信号であるため、図15のような一般的な構成のIIRフィルタを用いたのでは、高速演算が可能な大規模なデジタル回路などが必要となり、受

信機への適用が困難になるという問題があった。

【0007】

本発明はこうした問題点を克服するためになされたものであり、簡素な構成であって、高精度のデジタル信号処理を可能にする新規な受信機を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記目的を達成するため本発明は、中間周波のデジタルデータから所望の周波数成分のデータを通過させて検波手段側へ出力するデジタル信号処理手段とを備える受信機であって、上記デジタル信号処理手段は、上記デジタルデータを中間周波数の2のべき乗倍の第1のサンプリングレートでデジタルフィルタリングするデジタルバンドパスフィルタと、上記デジタルバンドパスフィルタの出力データを中間周波数の2のべき乗倍であって上記第1のサンプリングレートより高い第2のサンプリングレートでデジタルフィルタリングするデジタルローパスフィルタから成る補間フィルタとを備え、上記補間フィルタの出力データを上記検波手段側へ出力することを特徴とする。

【0009】

また、上記第1のサンプリングレートは上記中間周波数の4倍に設定され、上記デジタルバンドパスフィルタは、被乗算係数が2のべき乗の値で設定されたIIRフィルタで構成されていることを特徴とする。

【0010】

また、上記第2のサンプリングレートは上記中間周波数の16倍に設定され、上記補間フィルタは、被乗算係数が2のべき乗の値で設定されたIIRフィルタで構成されていることを特徴とする。

【0011】

かかる構成の受信機によると、デジタルバンドパスフィルタは、中間周波のデジタルデータを中間周波数の2のべき乗倍の第1のサンプリングレート（第2のサンプリングレートより低いサンプリングレート）でデジタルフィルタリングを行い、補間フィルタは、デジタルバンドパスフィルタから出力される出力データ



を中間周波数の2のべき乗倍の第2のサンプリングレート（第1のサンプリングレートより高いサンプリングレート）でデジタルフィルタリングを行って検波手段側へ出力する。

【0012】

このように、中間周波のデジタルデータをデジタルバンドパスフィルタが低いサンプリングレートで処理した後、補間フィルタが高いサンプリングレートで処理して検波手段側へ出力する構成にすることで、デジタルバンドパスフィルタと補間フィルタの回路規模の簡素化 すなわち、デジタルバンドパスフィルタを低いサンプリングレートで動作させるとそのデジタルバンドパスフィルタの回路規模を簡素化することが可能となり、更にこの簡素化したデジタルバンドパスフィルタに高いサンプリングレートで動作する補間フィルタを追加した構成にしたとしても、一般的な構成のデジタルバンドパスフィルタを高いサンプリングレートで動作させるように構成した場合に較べて、全体的な回路規模を簡素化することが可能となる。

【0013】

更に、デジタルバンドパスフィルタが低いサンプリングレートで処理したデータを補間フィルタが高いサンプリングレートで処理することで、検波手段における検波精度の向上を実現している。

【0014】

つまり、検波手段が高精度の検波を行うには、サンプリングレートの高いデータに基づいて検波を行うことが望ましい。本発明の受信機は、低いサンプリングレートで動作するデジタルバンドパスフィルタと高いサンプリングレートで動作する補間フィルタとを組み合わせることで、回路規模の簡素化と高精度の検波との両立を実現している。

【0015】

また、デジタルバンドパスフィルタの第1のサンプリングレートを中間周波数の2のべき乗倍（具体的には4倍）、補間フィルタの第2のサンプリングレートを中間周波数の2のべき乗倍（具体的には16倍）に設定すると、デジタルバンドパスフィルタと補間フィルタをそれぞれ構成するIIRフィルタの被乗算係数

を2のべき乗の値で近似することが可能になり、そのためデジタル乗算器の回路規模の簡素化を実現している。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。尚、図1は本実施形態の受信機の要部構成を示すブロック図であり、一実施形態としてAM放送波を受信する受信機の構成を示している。

【0017】

図1において、本受信機は、アンテナANTで受信したAM放送波を混合器MIXと局部発振器L.OSCとで構成された周波数変換器によって中間周波(455kHz)のIF信号SIFにダウンコンバートした後、アナログのIF信号SIFをA/D変換器15によってデジタルデータDIFに変換し、更に、デジタルデータDIFをデジタルバンドパスフィルタ16と補間フィルタ17から成るデジタル信号処理回路に通してデジタル検波回路18に供給する構成となっている。

【0018】

尚、詳細については後述するが、A/D変換器15のサンプリング周波数 $f_{so}$ は中間周波数 $f_0$ の4倍以上、デジタルバンドパスフィルタ16のサンプリングレート $f_{s1}$ は中間周波数 $f_0$ の4倍、補間フィルタ17のサンプリングレート $f_{s2}$ は中間周波数 $f_0$ の16倍に設定され、これによってナイキストのサンプリング定理を満足するようにしている。

【0019】

また、A/D変換器15はアナログのIF信号SIFを16ビットのデジタルデータDIFに変換し、デジタルバンドパスフィルタ16と補間フィルタ17もこのデジタルデータDIFに対し16ビットのデジタル信号処理を行うようになっている。

【0020】

デジタルバンドパスフィルタ16は、直接形の2次のIIRフィルタであり、設計仕様などに応じて、図2に示す直接形の2次のIIRフィルタ、または図3に示す直接形の2次のIIRフィルタで実現されている。

## 【 0 0 2 1 】

ここで、図 2 に示すデジタルバンドパスフィルタ 1 6 は、複数のデジタル加算器 1 9, 2 0, 2 1 とデジタル遅延素子 2 2, 2 3 とデジタル乗算器 2 4, 2 5, 2 6 を備えて構成され、図 1 0 に示すように、中心周波数  $f_0$  (4 5 5 k H z) で最大利得となる単峰特性を有する I I R フィルタとなっている。

## 【 0 0 2 2 】

更に、中心周波数  $f_0$  (4 5 5 k H z) を中心とした単峰特性の帯域幅 (6 d B 帯域幅)  $\Delta F$  は、I F 信号  $S_{IF}$  の上側帯波と下側帯波を通過させる得る幅に設定され、Q 値 ( $f_0 / \Delta F$ ) は必要に応じた特性に設定されている。

## 【 0 0 2 3 】

図 3 に示すデジタルバンドパスフィルタ 1 6 は、2 個の I I R フィルタ 1 6 a, 1 6 b が直列接続された構成となっており、両者とも複数のデジタル加算器 1 9, 2 0, 2 1, 2 0 1 とデジタル遅延素子 2 2, 2 3 とデジタル乗算器 2 4, 2 5, 2 6, 2 0 2 を備えて構成されている。

## 【 0 0 2 4 】

ただし、I I R フィルタ 1 6 a に設けられているデジタル加算器 2 0 1 は、デジタル乗算器 2 0 2, 2 0 から供給されるデータ  $D_{202}$ ,  $D_{20}$  に対して、 $D_{202} - D_{20}$  の減算処理を行う構成になっており、I I R フィルタ 1 6 b に設けられているデジタル加算器 2 0 1 は、デジタル乗算器 2 0 2, 2 0 から供給されるデータ  $D_{202}$ ,  $D_{20}$  に対して、 $-D_{20} - D_{202}$  の減算処理を行う構成になっている点で、I I R フィルタ 1 6 a と 1 6 b の構成が異なっている。

## 【 0 0 2 5 】

このように、図 3 に示すデジタルバンドパスフィルタ 1 6 は、2 個の I I R フィルタ 1 6 a, 1 6 b が直列接続されることにより、図 1 2 に示すように、中心周波数  $f_0$  (4 5 5 k H z) を中心とした双峰特性を有している。尚、中心周波数  $f_0$  (4 5 5 k H z) を中心とした双峰特性の帯域幅 (6 d B 帯域幅)  $\Delta F$  は、I F 信号  $S_{IF}$  の上側帯波と下側帯波を通過させる得る幅に設定され、更に、Q 値 ( $f_0 / \Delta F$ ) は必要に応じた特性に設定されている。

## 【 0 0 2 6 】

補間フィルタ 17 は、図 6 に示すように、同じ構成の 3 個の IIR フィルタ 17 a, 17 b, 17 c を直列接続した構成となっている。

#### 【0027】

すなわち、IIR フィルタ 17 a は、複数のデジタル加算器 27, 28 とデジタル遅延素子 29, 30 とデジタル乗算器 31, 32, 33 で構成され、残余の IIR フィルタ 17 b, 17 c も IIR フィルタ 17 a と同じ構成となっている。

#### 【0028】

そして、図 11 に示すように、IIR フィルタ 17 a, 17 b, 17 c の各 1 段分の周波数特性を 3 段分合成することで、カットオフ周波数  $f_c$  以上の高域領域の利得が急峻に減衰する周波数特性を実現している。

#### 【0029】

尚、IIR フィルタ 17 a, 17 b, 17 c のそれぞれのカットオフ周波数  $f_c$  は、中心周波数  $f_0$  (455 kHz) よりも高い周波数に設定されており、より詳細には、IF 信号 SIF の上側帯波を通過させる通過域が得られるように設定されている。

#### 【0030】

次に、図 2 と図 3 に示したデジタルバンドパスフィルタ 16 と、図 6 に示した補間フィルタ 17 の構成法を説明しつつ、これらのフィルタ 16, 17 の構成と動作及び機能について詳述する。

#### 【0031】

図 2 に示したデジタルバンドパスフィルタ 16 には、次数 (1) に示すような  $z$  変換した伝達関数  $H(z)$  を適用する。

#### 【0032】

##### 【数 1】

$$H(z) = \frac{b_0 + b_1 \cdot z^{-1} + b_2 \cdot z^{-2}}{1 - a_1 \cdot z^{-1} + a_2 \cdot z^{-2}} \quad \cdots (1)$$

#### 【0033】

最初に、この伝達関数  $H(z)$  に基づいて図 1 5 に示した直接形の 2 次の I I R フィルタを考え、図 1 0 に示した周波数特性が得られるように伝達関数  $H(z)$  の各係数  $a_1$ ,  $a_2$ ,  $b_0$ ,  $b_1$ ,  $b_2$  の最適な値を求める。

【0 0 3 4】

尚、デジタルバンドパスフィルタ 1 6 を簡素な構成で実現することを最適化の条件とし、デジタルフィルタリングのためのサンプリングレート  $f_{s1}$  と中間周波数  $f_0$  (4 5 5 k H z) 及び Q 値との関係を考慮しつつ、各係数  $a_1$ ,  $a_2$ ,  $b_0$ ,  $b_1$ ,  $b_2$  の最適化を行う。

【0 0 3 5】

ここで、一例として Q 値を約 5 0 とし、サンプリングレート  $f_{s1}$  を中間周波数  $f_0$  の 4 倍に決めると、各係数  $a_1$ ,  $a_2$ ,  $b_0$ ,  $b_1$ ,  $b_2$  は次数 (2) に示すようになり、特に、係数  $a_1$  と  $b_1$  を共に 0 にすることができる。

【0 0 3 6】

【数 2】

$$\left. \begin{array}{l} a_1 = 0 \\ a_2 = 0.96721311 \\ b_0 = 0.016393443 \\ b_1 = 0 \\ b_2 = -0.01639443 \end{array} \right\} \dots (2)$$

【0 0 3 7】

係数  $a_1$ ,  $b_1$  を 0 にすると、図 1 5 中のデジタル乗算器 1 0, 1 3 はデータ D 23, D 26 に対して演算に寄与しなくなるので、これらデジタル乗算器 1 0, 1 3 を省略し、更に、図 1 5 中のデジタル加算器 5, 7 も必要が無くなるので省略することで、図 2 に示すような簡素な構成のデジタルバンドパスフィルタ 1 6 を実現している。

【0 0 3 8】

このように、サンプリングレート  $f_{s1}$  を中間周波数  $f_0$  の 4 倍に決めたことで

、係数  $a_1$  と  $b_1$  を共に 0 にすることができ、その結果、図 15 中に示したデジタル乗算器 10, 13 とデジタル加算器 5, 7 との 4 個の構成要素を不要とした簡素な構成のデジタルバンドパスフィルタ 16 (図 2 参照) を実現することが可能となっている。

#### 【0039】

尚、図 2 に示すデジタルバンドパスフィルタ 16 は、図 15 中のデジタル乗算器 10, 13 とデジタル加算器 5, 7 を省略しただけでなく、デジタル乗算器 24 と新たに追加したデジタル加算器 20 との組み合わせによって、デジタル加算器 19 に供給するためのデータ  $D_{20}$  を生成する構成にし、その結果、更なる回路規模の小形化を実現している。

#### 【0040】

すなわち、図 2 中のデジタル加算器 20 を備えずに、デジタル乗算器 24 の被乗算係数  $a_2$  を上記数 (2) に示した  $a_2 = 0.96721311$  の値をそのまま適用し、デジタル乗算器 24 の出力データ  $D_{24} (= 0.96721311 \times D_{23})$  をそのまま上記データ  $D_{20}$  としてデジタル加算器 19 に供給する構成にしても、図 15 に示した IIR フィルタ 1' よりも回路規模を小さくすることが可能である。しかし、上記の被乗算係数  $a_2$  は、桁数の多い少数値であるため、デジタル乗算器 24 のみで上記の  $(0.96721311 \times D_{23})$  の演算を行わせることにすると、複雑で回路規模の大きなデジタル乗算器が必要となる。

#### 【0041】

そこで、図 2 に示すようにデジタル乗算器 24 とデジタル加算器 20 との組み合わせによって、実質的に上記の  $(0.96721311 \times D_{23})$  の演算を行う構成にすることで、より回路規模の小形化を可能にしている。

#### 【0042】

この回路規模の小形化を可能にした点について詳述すると、まず、デジタル乗算器 24 の被乗算係数  $a_2$  は、上記数 (2) に示した  $a_2 = 0.96721311$  の値をそのまま適用するのではなく、次の構成法によって決定されている。

#### 【0043】

上記数 (2) の係数  $a_2 = 0.96721311$  を変形して、 $a_2 = 1 - 0.0$

3 2 7 8 6 8 9 で表すことにし、更に、0. 0 3 2 7 8 6 8 9 の値に最も近い 2 のべき乗 ( $2^n$ ) の値を選択して、デジタル乗算器 2 4 の実際の被乗算係数  $a_2$  を  $2^{-5}$  ( $= 0. 0 3 1 2 5$ ) の値に決めている。

【0 0 4 4】

更に、上記の  $a_2 = 1 - 0. 0 3 2 7 8 6 8 9$  の変形式のうち、数値「1」から「0. 0 3 2 7 8 6 8 9」を減算処理するのを、デジタル加算器 2 0 で行う構成としている。

【0 0 4 5】

かかる構成にすると、被乗算係数  $a_2$  が  $2^{-5}$  に設定されているデジタル乗算器 2 4 で生成されるデータ D24 は ( $2^{-5} \times D23$ ) となり、デジタル加算器 2 0 で生成されるデータ D20 は ( $D23 - 2^{-5} \times D23$ ) となることから、出力データ D20 は、次数 (3) で表されることになり、デジタル加算器 2 0 を備えずにデジタル乗算器 2 4 の被乗算係数  $a_2$  を上記数 (2) に示した  $a_2 = 0. 9 6 7 2 1 3 1 1$  の値に設定してデータ D20 ( $= 0. 9 6 7 2 1 3 1 1 \times D23$ ) を求めた場合とほぼ同等の結果が得られる。

【0 0 4 6】

【数 3】

$$\begin{aligned}
 D20 &= D23 - D24 = D23 - D23 \times a_2 \\
 &= D23 \times (1 - a_2) = D23 \times (1 - 2^{-5}) \\
 &= D23 \times (1 - 0. 0 3 1 2 5) \\
 &= D23 \times 0. 9 6 8 7 5 \quad \dots (3)
 \end{aligned}$$

【0 0 4 7】

そして、デジタル乗算器 2 4 は 2 のべき乗の値である被乗算係数  $a_2$  ( $= 2^{-5}$ ) の演算を行うことから簡素なデジタル乗算器とすることができ、更に、デジタル加算器 2 0 も単純な減算を行うことから簡素なデジタル加算器とすることができ、その結果として、デジタル乗算器 2 4 にデジタル加算器 2 0 を新たに追加した構成としても、デジタル乗算器 2 4 のみで複雑な演算を行わせるより回路規模

の小形化が可能となる。

#### 【 0 0 4 8 】

更に、図 2 に示すデジタル乗算器 2 4 の具体例として、図 4 に示す構成のデコーダ回路を適用することで、回路規模の小形化の実効を図っている。

#### 【 0 0 4 9 】

図 4 に示すデジタル乗算器 2 4 は、入力データ D 23 のうちのビット B 5 ～ B 15 を、出力データ D 24 のビット B 0 ～ B 10 として出力すると共に、入力データ D 23 のうちのビット B 15 を、出力データ D 24 のビット B 10 ～ B 15 として出力する構成としている。尚、入力データ D 23 のうちのビット B 0 ～ B 4 は抵抗 R 1 を介してグランド GND にプルダウンし、出力データ D 24 ( B 15 ～ B 0 ) はバッファアンプ A 15 ～ A 0 を介して出力する構成となっている。

#### 【 0 0 5 0 】

かかる構成によると、入力データ D 23 ( B 15 ～ B 0 ) を全体的に下位側へ 5 ビット分シフトするだけで、データ D 23 に被乗算係数  $a_2 (= 2^{-5})$  を乗算するのと同等の機能を発揮させることができ、更に、このビットシフトによって得られるデータ D 24 をデジタル加算器 2 0 に供給するだけで、上記数 ( 2 ) に示した  $a_2 = 0.96721311$  の値をそのまま適用して  $D_{20} = 0.96721311 \times D_{23}$  の演算を行うのと同等の結果、すなわち  $D_{20} = (1 - 2^{-5}) \times D_{23}$  の演算結果が得られる。

#### 【 0 0 5 1 】

このように、デジタル加算器 2 0 とデジタル乗算器 2 4 を組み合わせることで、更なる回路規模の小形化を実現している。

#### 【 0 0 5 2 】

次に、図 2 中のデジタル乗算器 2 5 について説明する。デジタル乗算器 2 5 の乗算係数  $b_0$  は、次のようにして決められている。上記数 ( 2 ) に示した係数  $b_0 = 0.016393443$  に最も近い 2 のべき乗 ( $2^n$ ) の値を選択することにより、デジタル乗算器 2 5 の被乗算係数  $b_0$  を  $2^{-6} (= 0.015625)$  の値に決める。

#### 【 0 0 5 3 】



更に、図 2 に示すデジタル乗算器 2 5 を複雑な演算回路で形成するのではなく、図 5 に示す構成のデコーダ回路を適用することで、データ D19 に被乗算係数  $b_0 = 2^{-6}$  を乗算するのと同じ結果が得られる極めて簡素な構成のデジタル乗算器 2 5 を実現する。

## 【 0 0 5 4 】

つまり、図 5 に示すデジタル乗算器 2 5 は、入力データ D19 のうちのビット B 6 ~ B 15 を、出力データ D25 のビット B 0 ~ B 10 として出力すると共に、入力データ D19 のうちのビット B 15 を、出力データ D25 のビット B 9 ~ B 15 として出力する構成とする。かかる構成により、入力データ D19 (B 15 ~ B 0) を全体的に下位側へ 6 ビット分シフトし、そのビットシフトした出力データ D25 (B 15 ~ B 0) をデジタル加算器 2 1 に供給するのと同じ機能を発揮させることができ、データ D19 に被乗算係数  $b_0 (= 2^{-6})$  を乗算するデジタル乗算器 2 5 を実現することができる。

## 【 0 0 5 5 】

尚、入力データ D19 のうちのビット B 0 ~ B 5 は抵抗 R1 を介してグランド GND にプルダウンし、出力データ D25 (B 15 ~ B 0) はバッファアンプ A15 ~ A0 を介して出力する構成となっている。

## 【 0 0 5 6 】

次に、図 2 中のデジタル乗算器 2 6 の乗算係数  $b_2$  は、次のようにして決められている。上記数 (2) に示した係数  $b_2 = -0.016393443$  に最も近い 2 のべき乗 ( $-2^n$ ) の値を選択することにより、デジタル乗算器 2 6 の被乗算係数  $b_2$  を  $2^{-6} (= 0.015625)$  の値に決める。

## 【 0 0 5 7 】

更に、図 2 に示すデジタル乗算器 2 6 を複雑な演算回路で形成するのではなく、図 5 に示したのと同様の構成のデコーダ回路を適用することで、データ D23 に乗算係数  $b_2 = 2^{-6}$  を乗算するのと同じ結果が得られる極めて簡素な構成のデジタル乗算器 2 6 を実現する。

## 【 0 0 5 8 】

つまり、図 5 に示したのと同様の構成のデコーダ回路を適用することで、入力

データ D23 (B15～B0) を全体的に下位側へ 6 ビット分シフトし、そのビットシフトした出力データ D26 (B15～B0) をデジタル加算器 2 1 に供給すると同じ機能を発揮させる。

#### 【0059】

ただし、デジタル乗算器 2 5 の出力データ D25 をデジタル加算器 2 1 の加算入力端子 (+ 入力端子) に供給し、デジタル乗算器 2 6 の出力データ D26 をデジタル加算器 2 1 の減算入力端子 (- 入力端子) に供給することにより、 $D25 - D26$  の減算処理を行わせる。そして、この演算結果 DBF ( $= D25 - D26$ ) をデジタルバンドパスフィルタ 1 6 の出力とする。

#### 【0060】

このように、図 1 に示したデジタルバンドパスフィルタ 1 6 を、図 2、図 4 及び図 5 に示した構成とし、サンプリングレート  $f_{s1}$  を中心周波数  $f_0$  (455 kHz) の 4 倍にして、A/D 変換器 1 5 から供給される中間周波のデータ DIF をデジタルフィルタリングすることにより、図 10 に示した周波数特性を有する IIR フィルタを簡素な構成で実現している。

#### 【0061】

次に、図 3 に示したバンドパスフィルタ 1 6 の構成法を説明する。図 3 中の前段のフィルタ 1 6 a と後段のフィルタ 1 6 a は、共に図 2 に示したデジタルバンドパスフィルタ 1 6 を変形した構成とする。

#### 【0062】

まず、上記数 (1) に示した伝達関数  $H(z)$  を適用することにし、この伝達関数  $H(z)$  に基づいて図 15 に示した直接形の 2 次の IIR フィルタを考え、更に、図 12 に示した周波数特性が得られるように伝達関数  $H(z)$  の各係数  $a_1$ ,  $a_2$ ,  $b_0$ ,  $b_1$ ,  $b_2$  の最適な値を求める。また、デジタルバンドパスフィルタ 1 6 を簡素な構成で実現することを最適化の条件とし、デジタルフィルタリングのためのサンプリングレート  $f_{s1}$  と中間周波数  $f_0$  (455 kHz) 及び Q 値との関係を考慮しつつ、各係数  $a_1$ ,  $a_2$ ,  $b_0$ ,  $b_1$ ,  $b_2$  の最適化を行う。

#### 【0063】

かかる最適化を行うことで、前段のフィルタ 1 6 a と後段のフィルタ 1 6 b を

共に、図 2、図 4 及び図 5 に示した構成とする。つまり、フィルタ 1 6 a とフィルタ 1 6 b を図 2、図 4 及び図 5 に示した簡素な構成で実現することで、各デジタル乗算器 2 4、2 5、2 6 の被乗算係数  $a_2$ 、 $b_0$ 、 $b_2$  を、 $a_2 = 2^{-5} = 0.03125$ 、 $b_0 = 2^{-6} = 0.015625$ 、 $b_2 = 2^{-6} = 0.015625$  とする。

#### 【0064】

更に、図 3 のフィルタ 1 6 a とフィルタ 1 6 b にデジタル加算器 2 0 1 とデジタル乗算器 2 0 2 をそれぞれ追加する。

#### 【0065】

そして、フィルタ 1 6 a 中のデジタル加算器 2 0 1 の加算入力端子（＋端子）にデジタル乗算器 2 0 2 の出力データ D202 を供給すると共に、デジタル加算器 2 0 1 の減算入力端子（－端子）にデジタル加算器 2 0 の出力データ D20 を供給し、フィルタ 1 6 b 中のデジタル加算器 2 0 1 の減算入力端子（－端子）にデジタル乗算器 2 0 2 の出力データ D202 を供給すると共に、デジタル加算器 2 0 1 の減算入力端子（－端子）にデジタル加算器 2 0 の出力データ D20 を供給するように接続する。

#### 【0066】

更に、フィルタ 1 6 a 中のデジタル乗算器 2 0 2 とフィルタ 1 6 b 中のデジタル乗算器 2 0 2 のそれぞれの乗算係数  $a_1$ 、 $a_1$  の値を適宜に選択することで、図 1 2 に示した双峰特性を有するデジタルバンドパスフィルタを形成する。尚、それぞれの乗算係数  $a_1$ 、 $a_1$  を 2 のべき乗 ( $2^n$ ) の値にすることで、フィルタ 1 6 a 中のデジタル乗算器 2 0 2 とフィルタ 1 6 b 中のデジタル乗算器 2 0 2 を、図 4 又は図 5 に示したのと同様のデコーダ回路によって構成することで、簡素な構成を実現する。

#### 【0067】

このように、図 1 に示したデジタルバンドパスフィルタ 1 6 を、図 3 に示した構成とし、サンプリングレート  $f_{s1}$  を中心周波数  $f_0$  (455 kHz) の 4 倍にして、A/D 変換器 1 5 から供給される中間周波のデータ DIF をデジタルフィルタリングすることにより、図 1 2 に示した周波数特性を有する IIR フィルタを

簡素な構成で実現している。以上、異なる中心周波数をもったデジタルバンドパスフィルタを組み合わせることで、希望の特性を得ることができる。

## 【 0 0 6 8 】

次に、図 6 に示した補完フィルタ 1 7 の構成法を説明する。尚、図 6 中の前段と中段と後段の各フィルタ 1 7 a, 1 7 b, 1 7 c の構成は同じであるので、前段のフィルタ 1 7 a の構成法を代表して説明する。

## 【 0 0 6 9 】

尚、上記したように、デジタルバンドパスフィルタ 1 6 は、中間周波数  $f_0$  の 4 倍に設定されたサンプリングレート  $f_{s1}$  に基づいてデータ DIF をデジタルフィルタリングし、データ DBF を出力する構成となっている。したがって、図 1 3 ( a ) ( b ) に示すように、このデータ DBF は、中間周波数  $f_0$  の逆数である 1 周期 ( $1/f_0$ ) 内の 4 点のサンプリングポイント P1 ~ P4 のデータを示すことになる。

## 【 0 0 7 0 】

しかし、データ DBF が 1 周期 ( $1/f_0$ ) 内の 4 点のサンプリングポイント P1 ~ P4 だけに現れただけでは、図 1 3 ( a ) の場合と図 1 3 ( b ) の場合のように、サンプリングポイント P1 ~ P4 の位相がずれると、データ DBF をそのままデジタル検波回路 1 8 に供給して検波を行わせても、検波出力のレベルが大きく変動してしまい、精度の良い検波を実現することができない。

## 【 0 0 7 1 】

そこで、精度の良い検波を可能にするために、デジタルバンドパスフィルタ 1 6 とデジタル検波回路 1 8 の間にデジタルローパスフィルタから成る補完フィルタ 1 7 を設けている。

## 【 0 0 7 2 】

まず、フィルタ 1 7 a を形成するのに、次数 ( 4 ) に示すような  $z$  変換した伝達関数  $H(z)$  を適用することにし、この伝達関数  $H(z)$  に基づいて図 6 に示すようなデジタルローパスフィルタを考え、更に、各係数  $a_1$ ,  $a_2$ ,  $b_0$  の最適な値を求める。

## 【 0 0 7 3 】

【数 4】

$$H(z) = \frac{b_0}{1 + a_1 \cdot z^{-1} - a_2 \cdot z^{-2}} \quad \dots (4)$$

【0074】

また、フィルタ 17 a を簡素な構成で実現することを最適化の条件とし、デジタルフィルタリングのためのサンプリングレート  $f_{s2}$  を中間周波数  $f_0$  (455 kHz) の 16 倍に決めて、各係数  $a_1$ ,  $a_2$ ,  $b_0$  の最適化を行う。

【0075】

かかる最適化を行うと、係数  $a_1$  は  $2^{-2}$ 、係数  $a_2$  は  $-2^{-1}$ 、係数  $b_0$  は  $2^{-2}$  となる。

【0076】

そこで、フィルタ 17 a 中のデジタル乗算器 31 の被乗算係数  $a_1$  を  $2^{-2}$ 、デジタル乗算器 32 の被乗算係数  $a_2$  を  $2^{-1}$ 、デジタル乗算器 33 の被乗算係数  $b_0$  を  $2^{-2}$  と決める。

【0077】

更に、図 4 又は図 5 に示したデコーダ回路の場合と同様に、デジタル乗算器 31 を図 7 に示すデコーダ回路、デジタル乗算器 32 を図 8 に示すデコーダ回路、デジタル乗算器 33 を図 9 に示すデコーダ回路によってそれぞれ構成することにより、各デジタル乗算器 31, 32, 33 を簡素な構成で実現する。そして、フィルタ 17 b, 17 c もフィルタ 17 a と同様の構成にすることで、図 11 に示した周波数特性を有する補間フィルタ 17 を実現する。

【0078】

このように、本実施形態の受信機は、デジタルバンドパスフィルタ 16 のサンプリングレート  $f_{s1}$  を中間周波数  $f_c$  の 4 倍に設定したことで、図 2 と図 3 に示した各デジタル乗算器 24, 25, 26, 202 の被乗算係数  $a_1$ ,  $a_2$ ,  $b_0$ ,  $b_2$  を 2 のべき乗の値で近似することが可能となり、更に、被乗算係数  $a_1$ ,  $a_2$

、 $b_0$ 、 $b_2$ を2のべき乗の値で近似することが可能となったことで、デジタル乗算器24、25、26、202を図4と図5に示したような簡素な構成で実現することが可能になっている。

#### 【0079】

更に、補間フィルタ17のサンプリングレート $f_{s2}$ を中間周波数 $f_c$ の16倍に設定したことで、図6に示した各フィルタ17a～17c中のデジタル乗算器31、32、33の被乗算係数 $a_1$ 、 $a_2$ 、 $b_0$ を2のべき乗の値で近似することが可能となり、更に、被乗算係数 $a_1$ 、 $a_2$ 、 $b_0$ を2のべき乗の値で近似することが可能となったことで、デジタル乗算器31、32、33を図7～図9に示したような簡素な構成で実現することが可能になっている。

#### 【0080】

また、デジタル検波回路18が高精度の検波を行うためには、高いサンプリングレートで処理を行う必要があるため、仮に図15に示した一般的な構成のIIRフィルタ1'を本実施形態のデジタルバンドパスフィルタ16と補間フィルタ17の代わりに適用して高サンプリングレートで動作させることにすると、従来技術で説明したように、そのデジタルバンドパスフィルタ1'を大規模なデジタル回路で構成しなければならない。

#### 【0081】

しかし、本実施形態では、デジタルバンドパスフィルタ16を中間周波数 $f_c$ の4倍のサンプリングレート（低サンプリングレート） $f_{s1}$ で動作させることで回路規模の簡素化を図り、補間フィルタ17は中間周波数 $f_c$ の16倍のサンプリングレート（高サンプリングレート） $f_{s2}$ で動作させ、それによって生じる高サンプリングレート $f_{s2}$ のデータDLFをデジタル検波回路18に供給するので、図15に示した一般的な構成のIIRフィルタ1'に較べて、全体的に回路規模の簡素化を可能にし、更に、高精度の検波を行えるようにしている。

#### 【0082】

尚、以上の説明では、図4、図5、図7、図8、図9に示したように、デジタル乗算器24、25、26、202、31、32、33をデコーダ回路で構成する場合を説明したが、本発明はこれに限定されるものではない。デジタル乗算器

24, 25, 26, 202, 31, 32, 33をビットシフトが可能なバイナリシストレジスタ等で構成してもよい。

【0083】

また、本実施形態では、AM受信機について説明したが、本発明はFM受信機等の他の方式の受信機にも適用することができるものである。

【0084】

【発明の効果】

以上説明したように本発明の受信機は、中間周波のデジタルデータを中間周波数の2のべき乗倍の第1のサンプリングレートでデジタルフィルタリングを行うデジタルバンドパスフィルタと、デジタルバンドパスフィルタから出力される出力データを中間周波数の2のべき乗倍の第2のサンプリングレートでデジタルフィルタリングを行って検波手段側へ出力する補間フィルタを備える構成にしたので、全体の回路規模の簡素化と、検波手段における検波精度の向上を両立させることができ、受信機のデジタル化によって優れた効果を発揮するものである。

【図面の簡単な説明】

【図1】

本実施形態の受信機の構成を示すブロック図である。

【図2】

本実施形態の受信機に備えられたデジタルバンドパスフィルタの構成を示す図である。

【図3】

本実施形態の受信機に備えられた他のデジタルバンドパスフィルタの構成を示す図である。

【図4】

図2と図3に示すデジタルバンドパスフィルタ中に備えられているデジタル乗算器24の構成を示す図である。

【図5】

図2と図3に示すデジタルバンドパスフィルタ中に備えられているデジタル乗算器25, 26の構成を示す図である。

【図 6】

本実施形態の受信機に備えられた補間フィルタの構成を示す図である。

【図 7】

図 6 に示す補間フィルタ中に備えられているデジタル乗算器 3 1 の構成を示す図である。

【図 8】

図 6 に示す補間フィルタ中に備えられているデジタル乗算器 3 2 の構成を示す図である。

【図 9】

図 6 に示す補間フィルタ中に備えられているデジタル乗算器 3 3 の構成を示す図である。

【図 1 0】

図 2 に示したデジタルバンドパスフィルタの周波数特性を示す図である。

【図 1 1】

図 6 に示した補間フィルタの周波数特性を示す図である。

【図 1 2】

図 3 に示したデジタルバンドパスフィルタの周波数特性を示す図である。

【図 1 3】

補間フィルタの機能を説明するための説明図である。

【図 1 4】

従来のアナログ受信機の構成を示すブロック図である。

【図 1 5】

一般的な I I R フィルタの構成を示した図である。

【符号の説明】

1 5 … A / D 変換器

1 6 … デジタルバンドパスフィルタ

1 6 a , 1 6 b … I I R フィルタ

1 7 … 補間フィルタ

1 7 a , 1 7 b , 1 7 c … I I R フィルタ



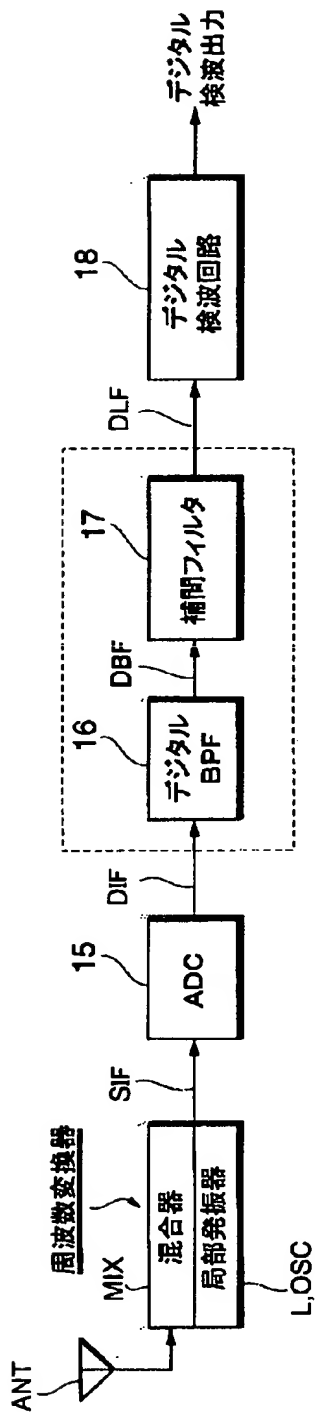
1 9, 2 0, 2 1, 2 7, 2 8, 2 0 1 … デジタル加算器

2 4, 2 5, 2 6, 2 0 2, 3 1, 3 2, 3 3 … デジタル乗算器

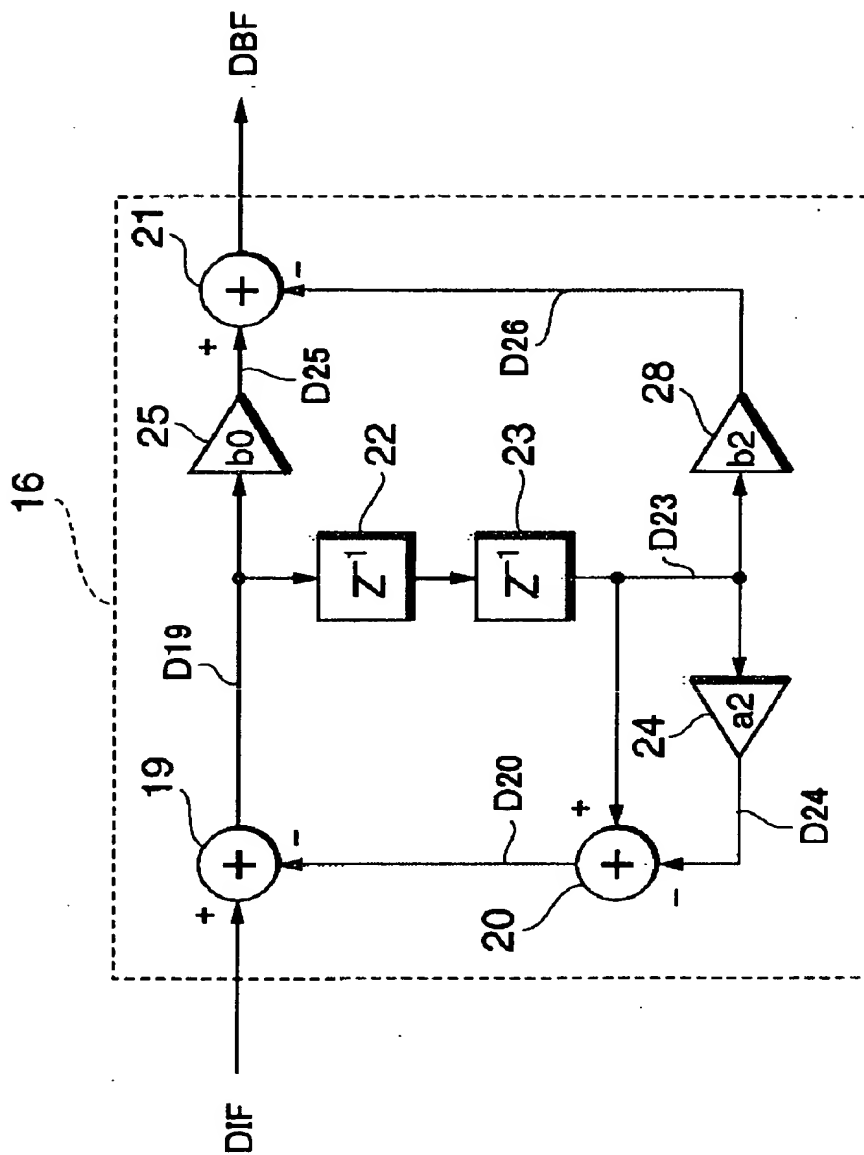
2 2, 2 3, 2 9, 3 0 … デジタル遅延素子

【書類名】 図面

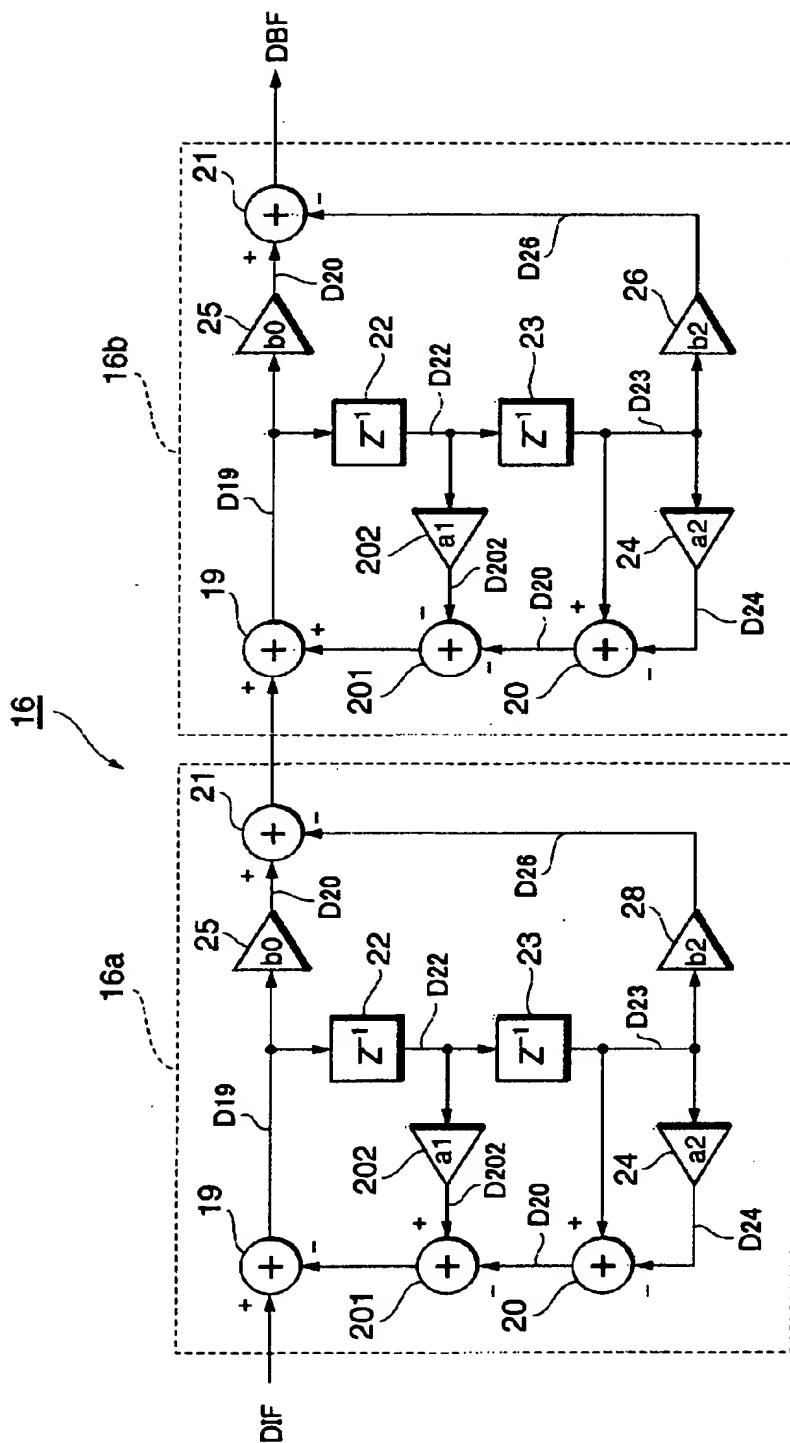
【図 1】



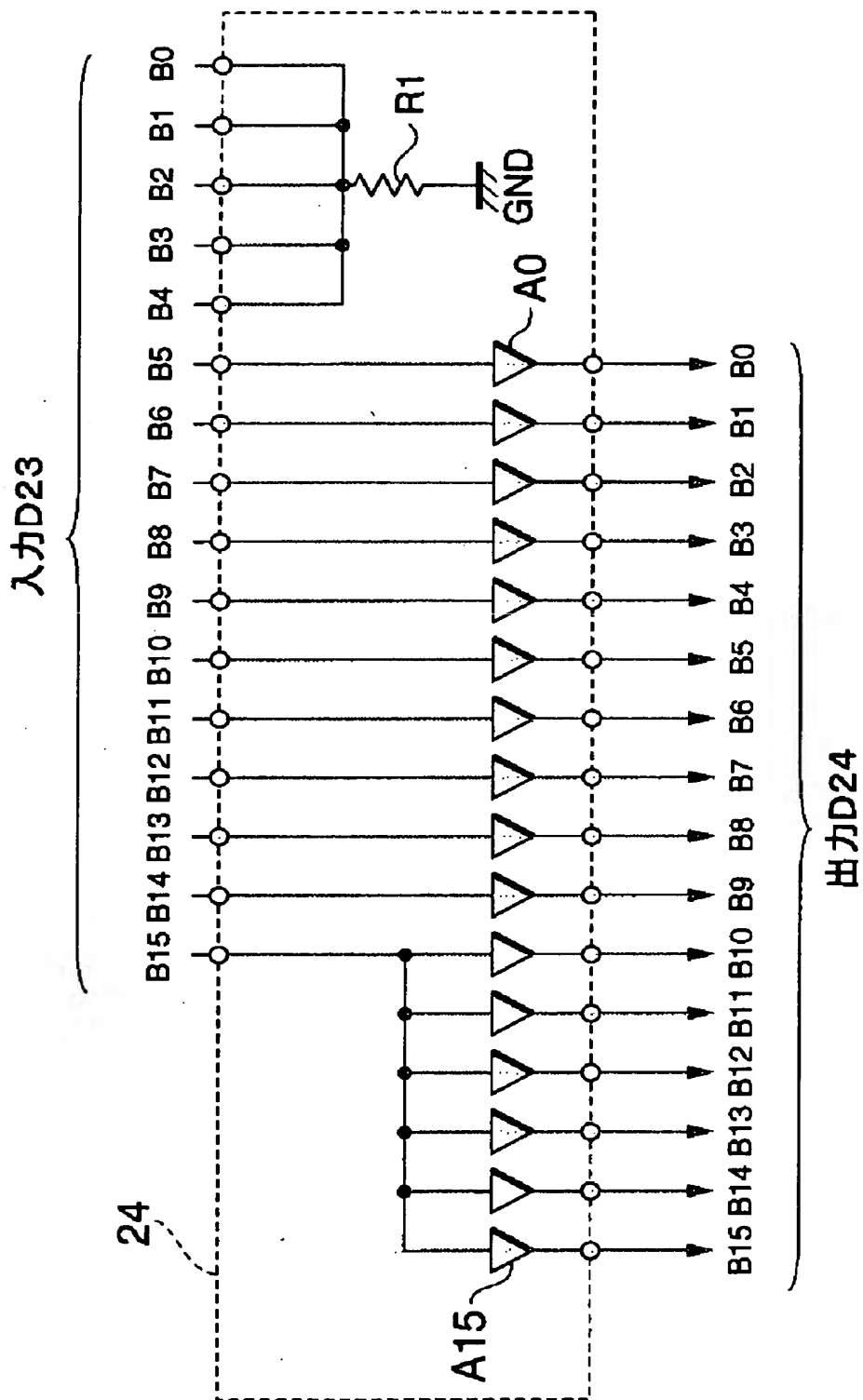
【図 2】



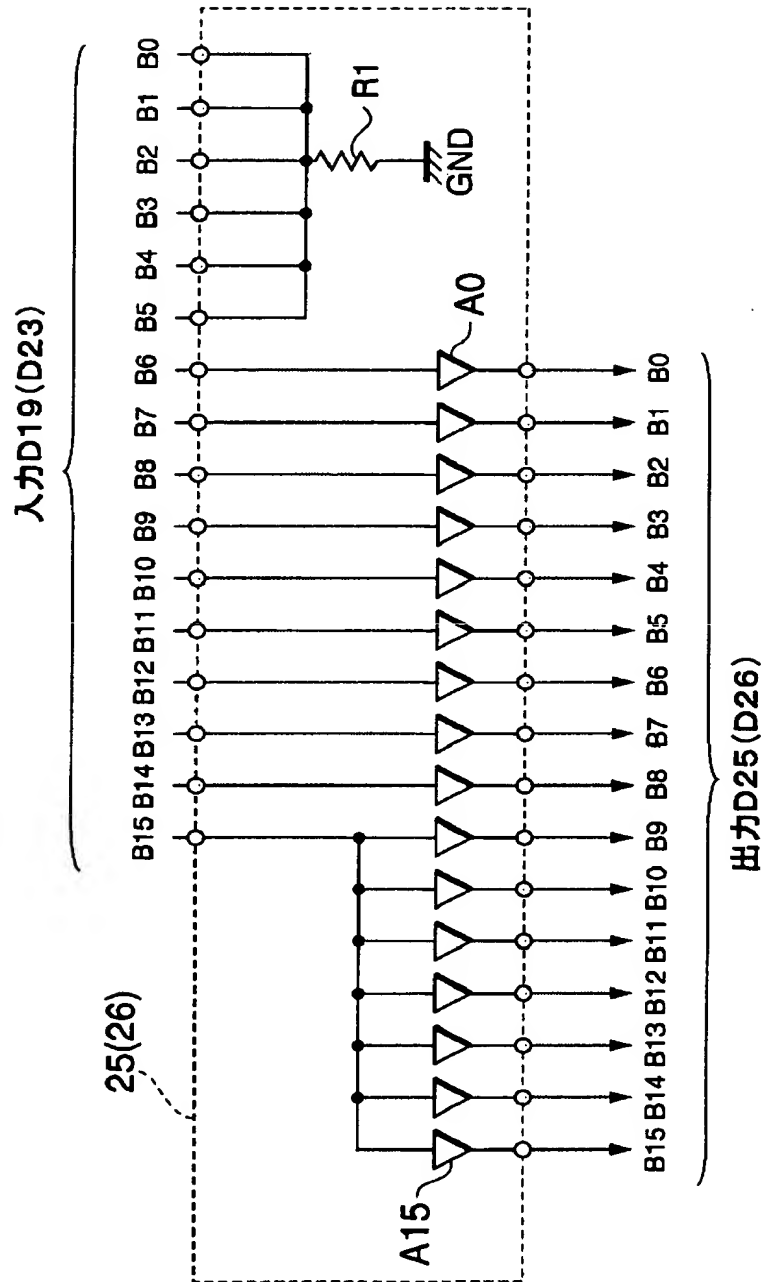
【図 3】



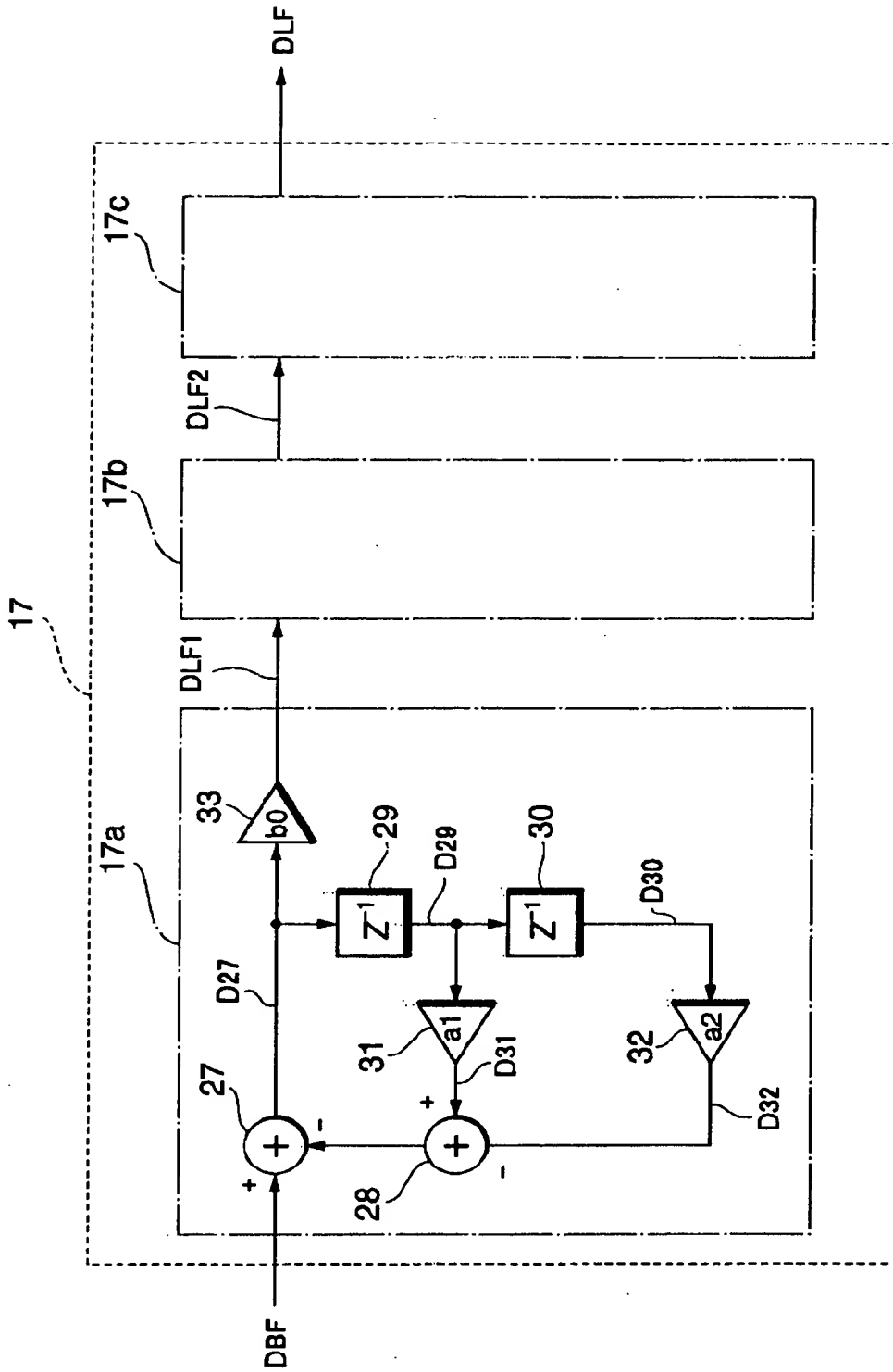
【図 4】



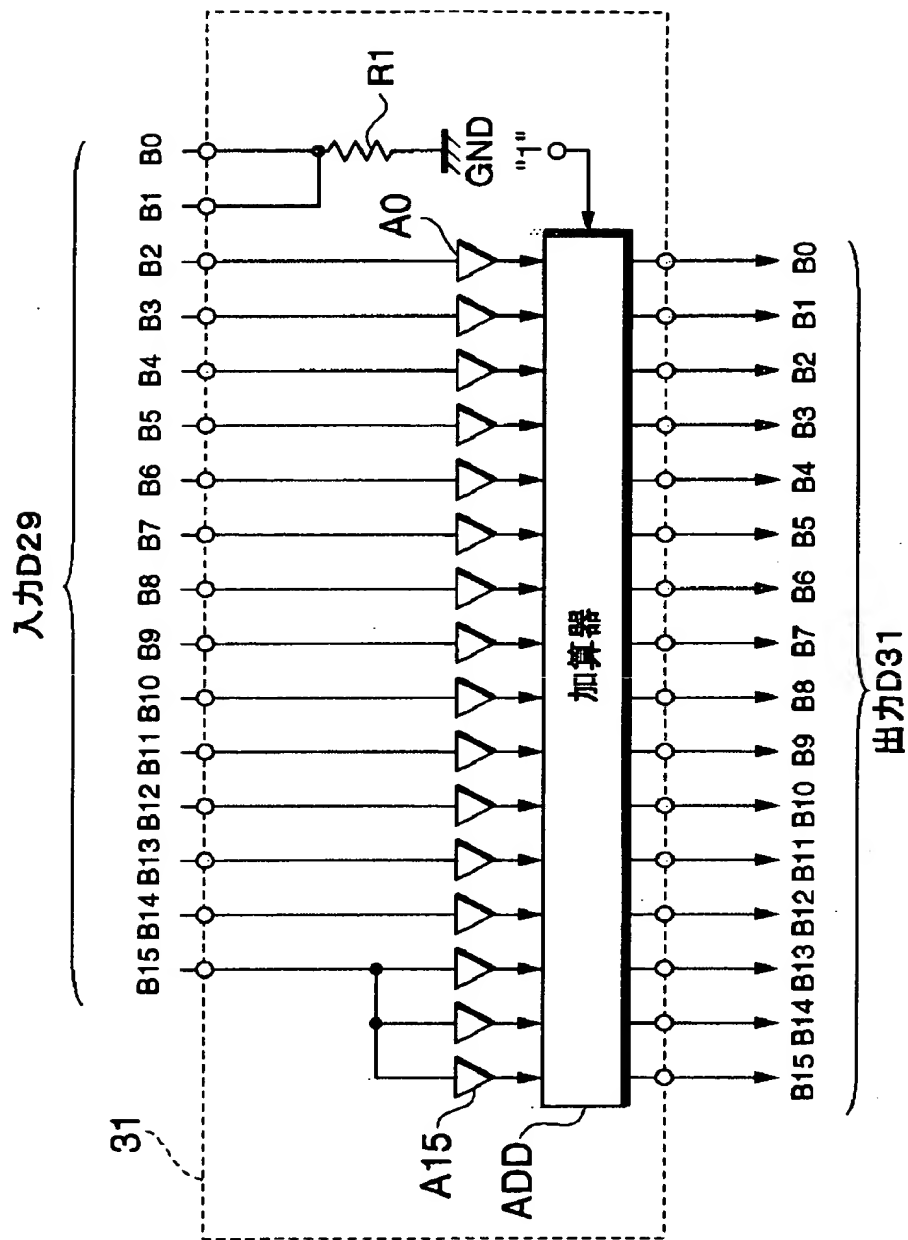
【図 5】



【図 6】

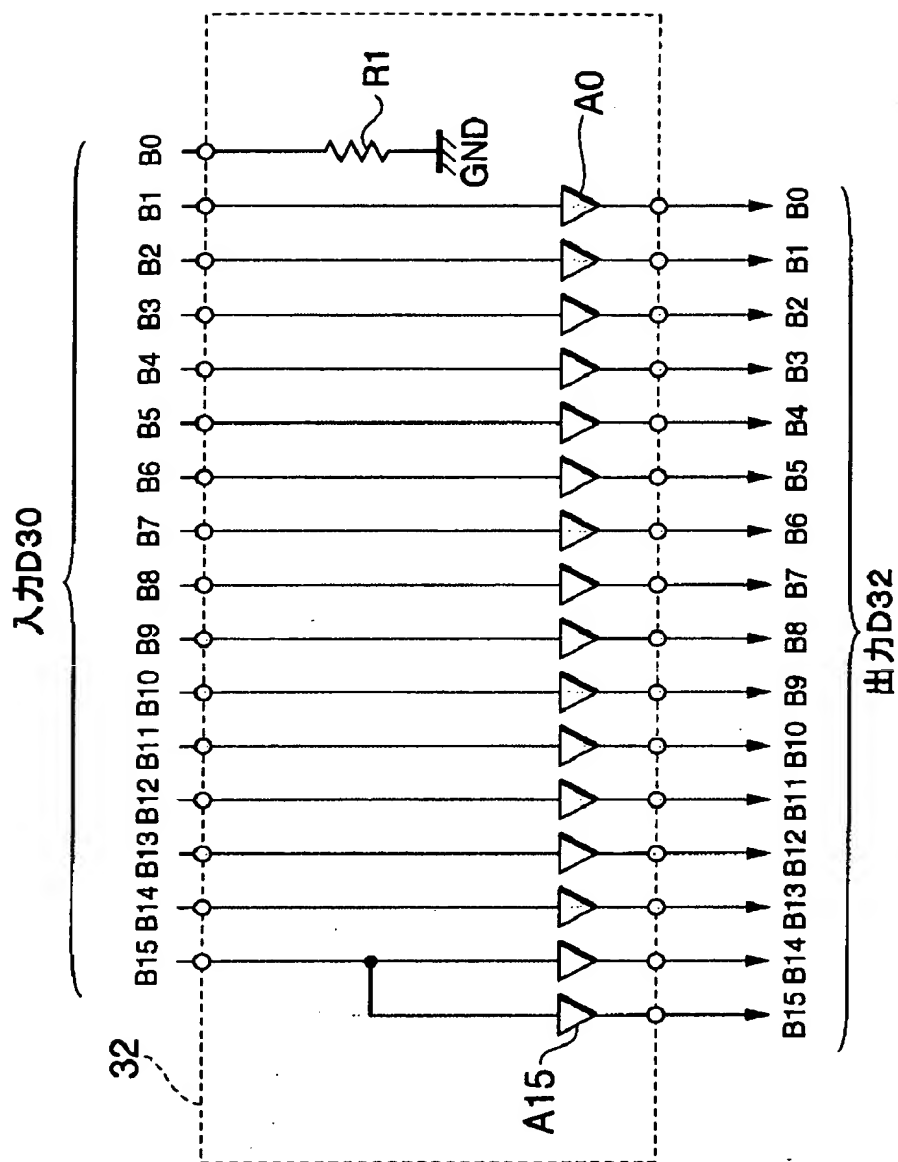


【図 7】

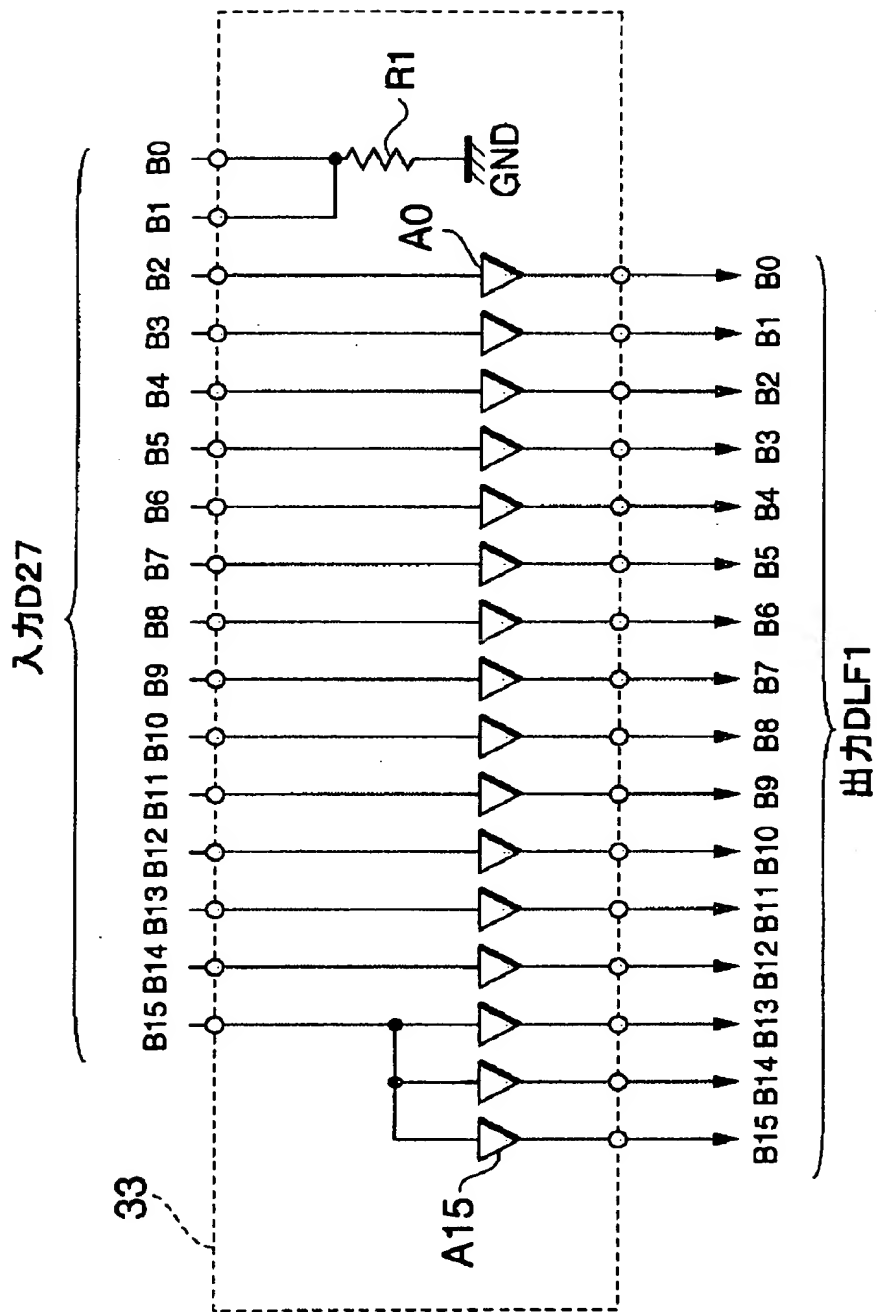




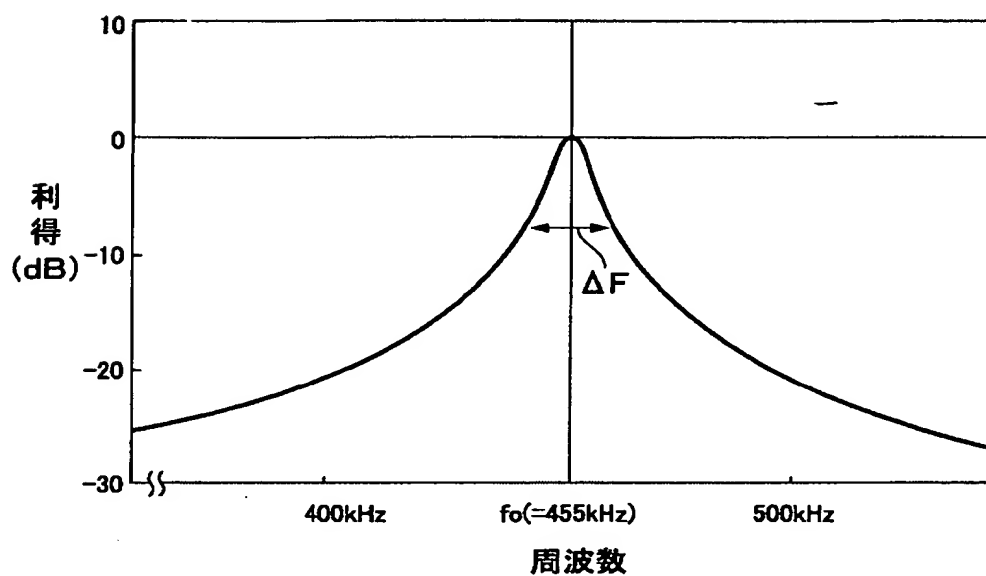
【図 8】



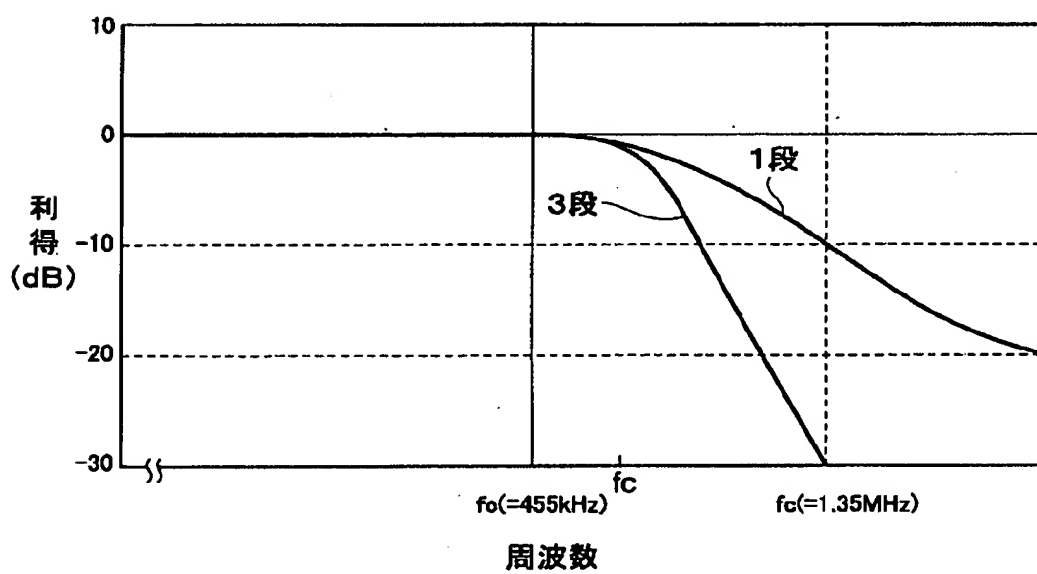
【図9】



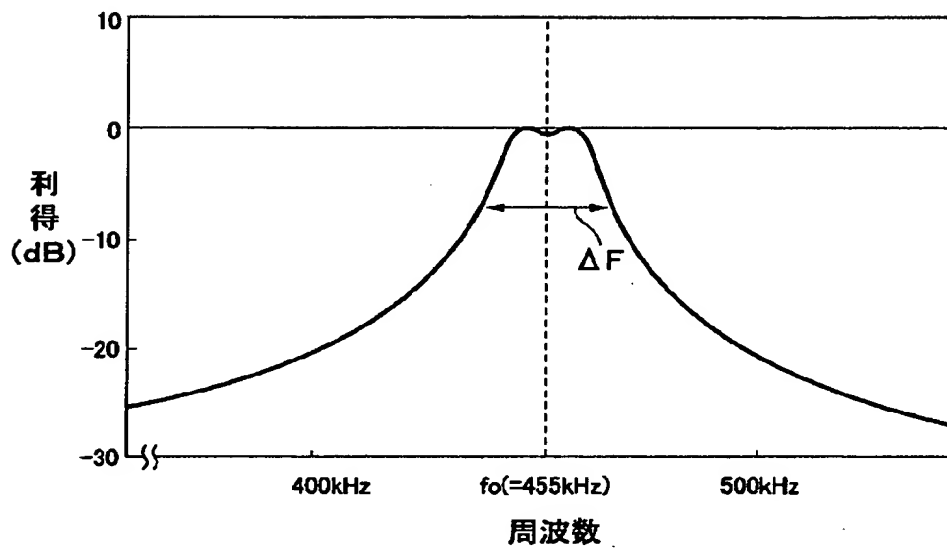
【図 1 0】



【図 1 1】

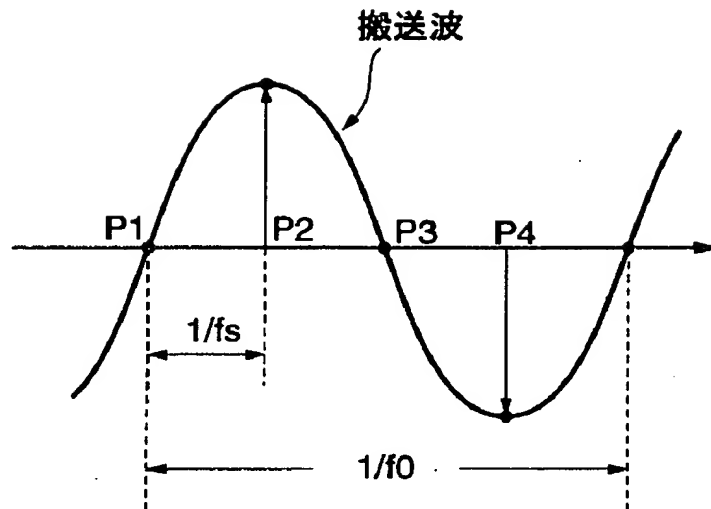


【図 1 2】



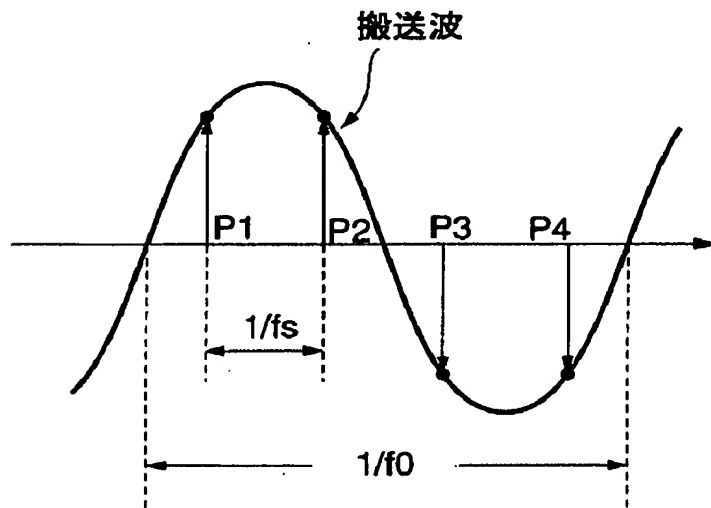
【図 1 3】

(a)



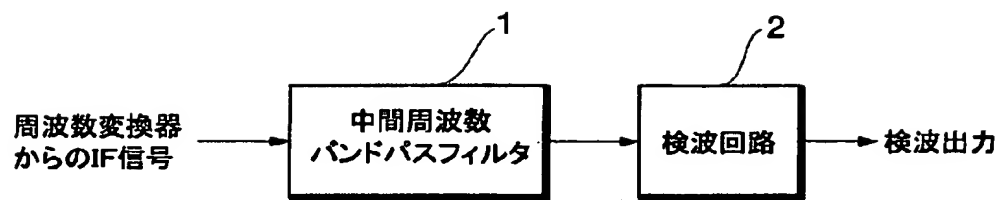
(搬送波とサンプリングポイントの位相が一致している場合)

(b)

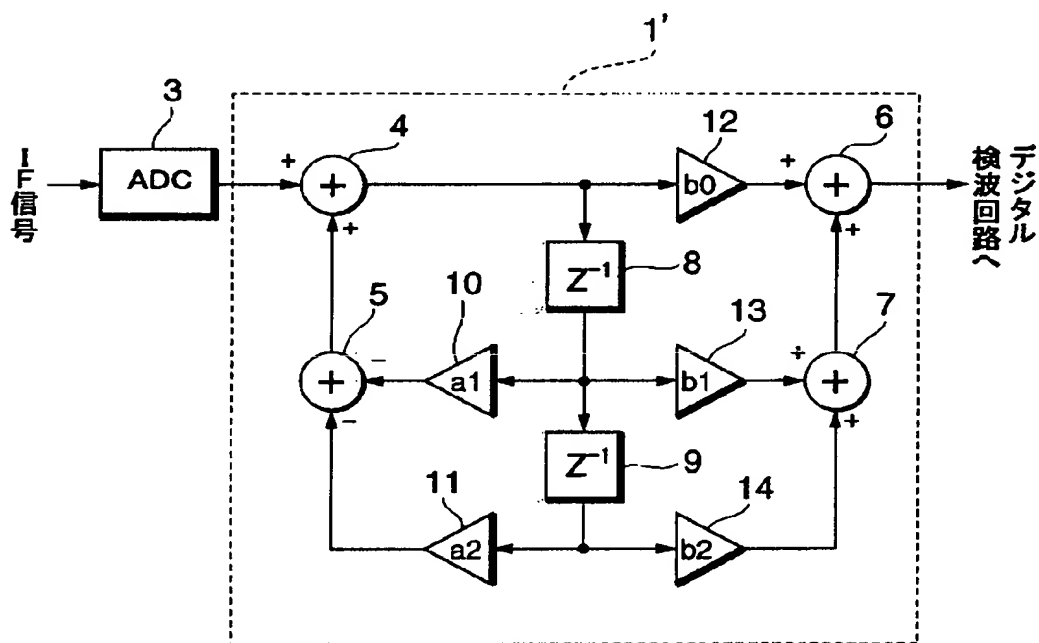


(搬送波とサンプリングポイントの位相がずれている場合)

【図 1 4】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 簡素な構成で検波精度の高いデジタル受信機を提供する。

【解決手段】 周波数変換器で周波数変換され、デジタルデータにアナログデジタル変換された中間周波のデジタルデータ DIF を中間周波数の 2 のべき乗倍の第 1 のサンプリングレートでデジタルフィルタリングを行うデジタルバンドパスフィルタ 16 と、デジタルバンドパスフィルタ 16 から出力される出力データ DBF を中間周波数の 2 のべき乗倍の第 2 のサンプリングレートでデジタルフィルタリングを行って検波回路 18 側へ出力する補間フィルタ 17 を備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日  
[変更理由] 新規登録  
住 所 東京都目黒区目黒1丁目4番1号  
氏 名 パイオニア株式会社